

PATENT ABSTRACTS OF JAPAN

NEC-5109 (4)

(11)Publication number : 2000-295044

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H03F 1/02

G09G 3/20

G09G 3/36

(21)Application number : 11-097300

(71)Applicant : NEC CORP

(22)Date of filing : 05.04.1999

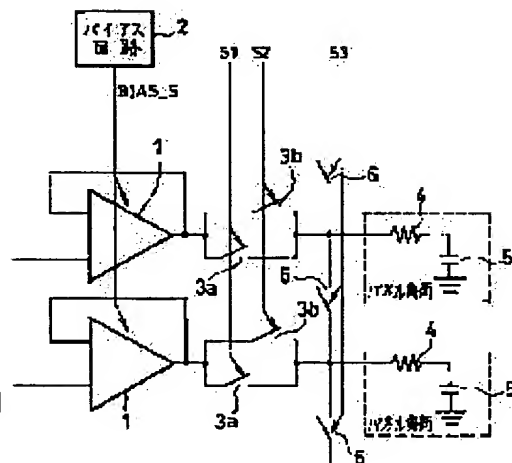
(72)Inventor : FUKUO MOTOO

(54) OUTPUT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the need of the supply of current of an operational amplifier at time except rise/fall time and to reduce power consumption by installing a means supplying current to the operational amplifier at output rise/fall time and a means varying impedance between the operational amplifier and an output terminal.

SOLUTION: In a load reset period, an SRCc signal BIAS-S and an STB signal S3 are turned on and control signals S1 and S2 are turned off. Then, whole output terminals are shorted-circuited. Since the SRC signal BIAS-S is turned on, an operational amplifier 1 has high amplitude performance and has high through rate. In a next high speed writing period, the control signals S1 and S2 are changed to on and the STB signal S3 to off. The short-circuit of the output terminals is released. Since the control signals S1 and S2 are turned on, the load of the operational amplifier 1 drops and the SRC signal BIAS-S is turned on, output voltage changes at high speed. Impedance between the operational amplifier 1 and the output terminal can be changed to two stages by switch elements 3a and 3b, desired output can be obtained at high speed and the through rate becomes high.



LEGAL STATUS

[Date of request for examination] 24.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-295044

(P2000-295044A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
H 0 3 F 1/02		H 0 3 F 1/02	5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 2 1		6 2 1 Z 5 J 0 9 2
3/36		3/36	

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平11-97300

(22) 出願日 平成11年4月5日 (1999. 4. 5)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 福尾 元男

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100090158

弁理士 藤巻 正憲

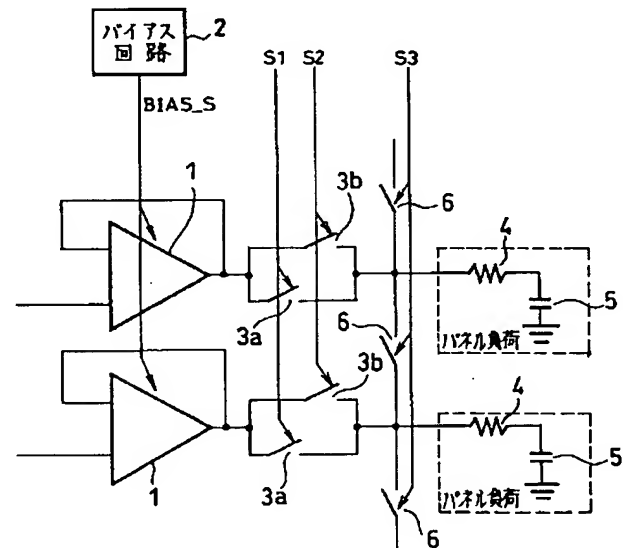
最終頁に続く

(54) 【発明の名称】 出力回路

(57) 【要約】

【課題】 スルーレートを向上させることができ、消費電力を低減することができる出力回路を提供する。

【解決手段】 出力回路には、複数の演算増幅器1が設けられている。各演算増幅器1にスルーレート調整信号BIAS_Sを供給するバイアス回路2が設けられている。また、各演算増幅器1の出力端には、相互に並列に接続された2個のスイッチ素子3a及び3bが接続されている。スイッチ素子3a及び3bは、例えば電界効果トランジスタから構成されており、スイッチ素子3aの抵抗値は、スイッチ素子3bの抵抗値の80乃至100倍程度である。更に、演算増幅器1の出力端に接続されたスイッチ素子3a及び3bの他端には、抵抗素子4及び容量素子5がこの順で直列に接続されている。スイッチ素子3a及び3bと抵抗素子4との接続点（出力端子）には、スイッチ素子6が接続されている。また、各スイッチ素子6は相互に直列に接続されている。



1; 演算増幅器

【特許請求の範囲】

【請求項 1】 演算増幅器と、この演算増幅器からの出力信号の立ち上がり時及び立ち下がり時に前記演算増幅器に電流を供給する電流供給手段と、前記演算増幅器と出力端子との間のインピーダンスを変化させるインピーダンス変化手段と、を有することを特徴とする出力回路。

【請求項 2】 前記インピーダンス変化手段は、前記演算増幅器と前記出力端子との間に相互に並列に接続され抵抗値が相違する 2 個のスイッチ素子を有することを特徴とする請求項 1 に記載の出力回路。

【請求項 3】 2 個の前記スイッチ素子のうち抵抗値が高いスイッチ素子の抵抗値は、抵抗値が低いスイッチ素子の抵抗値の 80 乃至 100 倍であることを特徴とする請求項 2 に記載の出力回路。

【請求項 4】 前記インピーダンス変化手段は、前記演算増幅器と前記出力端子との間に接続されたトランスファゲートスイッチを有することを特徴とする請求項 1 に記載の出力回路。

【請求項 5】 前記インピーダンス変化手段は、前記トランスファゲートスイッチを構成する 2 個の電界効果トランジスタのゲート電圧を制御する制御素子を有することを特徴とする請求項 4 に記載の出力回路。

【請求項 6】 前記出力端子には、液晶表示装置の容量性負荷が接続されることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の出力回路。

【請求項 7】 少なくとも 1 組の前記演算増幅器、前記バイアス回路及び前記インピーダンス変化手段を更に有し、複数個の前記出力端子を短絡する短絡手段を有することを特徴とする請求項 6 に記載の出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置のドット反転用駆動回路又はライン反転用駆動回路等として使用される出力回路に関し、特に、低電力及び高スルーレートの出力回路に関する。

【0002】

【従来の技術】 液晶表示装置 (LCD) には、各ピクセルに画像に応じた電圧を印加する駆動回路が設けられている。例えば、特表平 9-504389 号公報に従来のドット反転用駆動回路が開示されている。図 8 は従来のドット反転用駆動回路の構成を示すブロック図である。

【0003】 従来のドット反転用駆動回路には、複数個の演算増幅器 51 が設けられている。図 8 には、2 個の演算増幅器 51 を示している。各演算増幅器 51 の出力端にはスイッチ素子 53 が接続されている。スイッチ素子 53 の他端が駆動回路の出力端子となっている。全てのスイッチ素子 53 には、そのオン/オフを制御する制御信号 S51 が入力される。そして、各出力端子に抵抗素子 54 及び容量素子 55 からなるパネル負荷が接続さ

れている。

【0004】 図 9 は従来のドット反転用駆動回路の動作を示すタイミングチャートである。上述のように構成された従来のドット反転用駆動回路においては、スイッチ素子 53 がオフ状態となっているときにハイインピーダンス状態で電圧が出力される。また、スイッチ素子 53 がオン状態となっているときに演算増幅器 51 の出力電圧がそのまま出力される。

【0005】 また、ドット反転用駆動回路等に使用される演算増幅器が開示されている (特開平 7-221560 号公報)。この公報に記載された従来の演算増幅器においては、容量性負荷を充電する際に直流バイアス電圧のレベルを下げて供給電流を大きくし、充電完了後に直流バイアス電圧のレベルを上げることにより、平均消費電力を低減している。

【0006】

【発明が解決しようとする課題】 しかしながら、特表平 9-504389 号公報に記載された従来の駆動回路によれば、複数個の出力端子の短絡によりそれらの中間電位が得られて消費電力を低減することは可能であるが、演算増幅器には常に電流が供給されているので、全体的な消費電流が高いという問題点がある。

【0007】 演算増幅器のみを特開平 7-221560 号公報に記載されたものに置換すれば、全体的な消費電力を低減することが可能なように見えるが、実際には出力電圧に不要な発振、リングングが発生したり、スルーレートが低減してしまうという不具合が生じる。

【0008】 本発明はかかる問題点に鑑みてなされたものであって、スルーレートを向上させることができ、消費電力を低減することができる出力回路を提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明に係る出力回路は、演算増幅器と、この演算増幅器からの出力信号の立ち上がり時及び立ち下がり時に前記演算増幅器に電流を供給する電流供給手段と、前記演算増幅器と出力端子との間のインピーダンスを変化させるインピーダンス変化手段と、を有することを特徴とする。

【0010】 本発明においては、演算増幅器の出力の立ち上がり時及び立ち下がり時に電流供給手段から電流が演算増幅器に供給される。従って、立ち上がり又は立ち下がりが行われなときには、演算増幅器への電流の供給は下限まで低下可能である。また、立ち上がり又は立ち下がり開始後にインピーダンス変化手段により出力端子との間のインピーダンスを変化させて演算増幅器の負荷を下げることにより、立ち上がり時及び立ち下がり時のスルーレートが向上する。

【0011】 なお、本発明においては、前記インピーダンス変化手段は、前記演算増幅器と前記出力端子との間に相互に並列に接続され抵抗値が相違する 2 個のスイ

3

チ素子を有することができる。このとき、2個の前記スイッチ素子のうち抵抗値が高いスイッチ素子の抵抗値は、抵抗値が低いスイッチ素子の抵抗値の80乃至100倍であることが望ましい。

【0012】また、前記インピーダンス変化手段は、前記演算増幅器と前記出力端子との間に接続されたトランスファゲートスイッチを有することができる。このとき、前記インピーダンス変化手段は、前記トランスファゲートスイッチを構成する2個の電界効果トランジスタのゲート電圧を制御する制御素子を有することができ

る。

【0013】更に、前記出力端子には、液晶表示装置の容量性負荷が接続されてもよい。この場合、例えばドット反転用駆動回路又はライン反転用駆動回路として使用されることになる。

【0014】更にまた、少なくとも1組の前記演算増幅器、前記バイアス回路及び前記インピーダンス変化手段を更に有し、複数の前記出力端子を短絡する短絡手段を有することができる。ドット反転用駆動回路として使用される場合、出力端子の短絡によりそれらの中間電位が得られることにより、消費電力がより一層低減される。

【0015】

【発明の実施の形態】以下、本発明の実施例に係る出力回路について、添付の図面を参照して具体的に説明する。図1は本発明の第1の実施例に係る出力回路の構成を示すブロック図である。第1の実施例は、液晶表示装置のドット反転用駆動回路として使用されるものである。

【0016】第1の実施例には、複数の演算増幅器1が設けられている。各演算増幅器1にスルーレート調整(SRC)信号BIAS \bar{S} を供給するバイアス回路2が設けられている。各演算増幅器1は、スルーレート制御信号BIAS \bar{S} に関連づけてその増幅能力(増幅率)を変化させる。

【0017】また、各演算増幅器1の出力端には、相互に並列に接続された2個のスイッチ素子3a及び3bが接続されている。スイッチ素子3a及び3bは、例えば電界効果トランジスタから構成されており、オン抵抗を有している。スイッチ素子3a及び3bの抵抗値は相違しており、例えば、スイッチ素子3aの抵抗値は20k乃至30k Ω 程度であり、スイッチ素子3bの抵抗値は200乃至300 Ω 程度である。スイッチ素子3aには、そのオン/オフを制御する制御信号S1が入力され、スイッチ素子3bには、そのオン/オフを制御する制御信号S2が入力される。

【0018】更に、演算増幅器1の出力端に接続されたスイッチ素子3a及び3bの他端には、抵抗素子4及び容量素子5がこの順で直列に接続されている。抵抗素子4及び容量素子5が液晶表示装置のパネル負荷となって

4

いる。スイッチ素子3a及び3bと抵抗素子4との接続点(出力端子)には、スイッチ素子6が接続されている。スイッチ素子6は、例えばトランスファゲートスイッチである。スイッチ素子6には、そのオン/オフを制御するスタンバイ(STB)信号S3が入力される。また、各スイッチ素子6は相互に直列に接続されており、その一端には他方の電極が接地された容量素子(図示せず)の電極が接続されている。

【0019】なお、ドット反転用であるため、隣り合うパネル負荷に接続された出力端子同士は出力反転している。

【0020】また、第1の実施例には、制御信号S1、S2及びS3を制御する制御回路(図示せず)が設けられている。

【0021】図2は演算増幅器1の構成を示す回路図である。演算増幅器1には、2本の信号線11及び12間に接続された差動増幅回路13が設けられている。差動増幅回路13の出力端には、NチャネルMOSトランジスタ14のゲート及び容量素子15の一端が接続されている。トランジスタ14のソースは信号線11に接続され、ドレインは容量素子15の他端に接続されている。トランジスタ14のソースと容量素子15の他端との接続点16から演算増幅器1の出力信号が出力される。また、差動増幅回路13又は接続点16と信号線12の間には、夫々電流源17又は18が接続されている。図3は電流源17及び18の具体例を示す回路図である。

【0022】例えば、差動増幅回路13と信号線12との間には、ゲートにSRC信号BIAS \bar{S} が入力されるNチャネルMOSトランジスタ17aが電流源17として接続され、接続点16と信号線12の間には、ゲートにSRC信号BIAS \bar{S} が入力されるNチャネルMOSトランジスタ18aが電流源18として接続される。

【0023】このように構成された演算増幅器1においては、容量素子15の容量値をC、電流源17を流れる電流の値をIとすると、そのスルーレートは(C/I)に比例する。

【0024】次に、演算増幅器1の動作について説明する。図4は演算増幅器1の動作を示すタイミングチャートである。

【0025】SRC信号BIAS \bar{S} がオンとなる以前は、トランジスタ17aに流れる電流は低く、出力信号も低いものとなっている。この状態で、出力が上昇する際、バイアスをオンしてトランジスタ17aに流れる電流を大きくする。これにより、立ち上がりを早くできる。

【0026】次いで、出力が上昇し、安定したところで、SRC信号BIAS \bar{S} をオフしてやり、トランジスタ17aに流れる電流を小さくさせる。

【0027】次に、SRC信号BIAS \bar{S} を再びオン

させてやり、トランジスタ 17a に流れる電流を大きくさせる。

【0028】そして、出力が下降し、安定したところで SRC 信号 BIAS_S を再びオフとさせ、トランジスタ 17a に流れる電流を小さくさせる。

【0029】次に、上述のように構成された第 1 の実施

期間	BIAS _S	S1	S2	S3
A	オン	オフ	オフ	オン
B	オン	オン	オン	オフ
C	オフ	オン	オフ	オフ

【0031】まず、負荷リセット期間（期間 A）において、SRC 信号 BIAS_S をオン、制御信号 S1 及び S2 をオフ、STB 信号 S3 をオンとする。これにより、出力端子が全て短絡され、パネル負荷に充電されている電荷がリセットされる。このとき、前述のように隣り合う出力端子同士が出力反転しているため、各出力端子間で電荷の受け渡しが行われ、それらの電位は中間電位となる。また、演算増幅器 1 においては、SRC 信号 BIAS_S が最初のオンとなっているため、増幅能力

が高く、そのスルーレートは高い。
【0032】その後、高速書込期間（期間 B）において、SRC 信号 BIAS_S をオンに保持したまま、制御信号 S1 及び S2 をオン、STB 信号 S3 をオフに変更する。STB 信号 S3 がオフとなるので、出力端子の短絡が解除される。また、制御信号 S1 及び S2 がオンとなるので、演算増幅器 1 の負荷が低下する。更に、SRC 信号 BIAS_S はオンのままであるので、出力電圧が高速で変化する。

【0033】その後、制御信号 S1 及び S3 を夫々オン、オフに保持したまま、SRC 信号 BIAS_S をオフ、制御信号 S2 をオフに変更する。SRC 信号 BIAS_S がオフとなるので、演算増幅器 1 の増幅能力は下限まで低下する。また、低抵抗のスイッチ素子 3b のための制御信号 S2 がオフとなるので、負荷が大きくなり、出力電圧の発振が抑制される。

【0034】このように、本実施例によれば、演算増幅器 1 と出力端子との間のインピーダンスがスイッチ素子 3a 及び 3b により 2 段階に変化することが可能であるので、所望の出力電圧を高速に得ることが可能である。即ち、スルーレートが高い。また、ドット反転用駆動回路として出力電圧の上昇開始と共に出力端子同士を短絡させることが可能であるので、中間電位を利用することにより消費電力を低減することが可能である。

【0035】なお、演算増幅器 1 と出力端子との間のインピーダンスを変化させることができない場合には、以下のような不具合がある。例えば、スイッチ素子 3a が設けられていない場合には、抵抗値が 200 乃至 300 Ω 程度のスイッチ素子 3b のみが存在することになるの

例の出力回路の動作について説明する。図 5 は本発明の第 1 の実施例に係る出力回路の動作を示すタイミングチャートである。また、下記表 1 は各期間における制御信号のオン/オフを示すものである。

【0030】

【表 1】

期間	BIAS _S	S1	S2	S3
A	オン	オフ	オフ	オン
B	オン	オン	オン	オフ
C	オフ	オン	オフ	オフ

で、出力電圧が上昇したときに発振が生じてしまう。一方、例えば、スイッチ素子 3b が設けられていない場合には、抵抗値が 20 k 乃至 30 k Ω 程度のスイッチ素子 3a のみが存在することになるので、出力電圧の上昇が遅くなり、スルーレートが低くなってしまう。

【0036】なお、スイッチ素子 3a 及び 3b の抵抗値は上述のようなものに、特に限定されるものではなく、演算増幅器 1 の利得に応じて設定することが可能である。但し、発振の防止及び高スルーレートの確保のためには、一方の抵抗値が他方の 80 倍程度以上であることが望ましい。また、実用性を考慮すると 80 乃至 100 倍程度が適当である。

【0037】また、第 1 の実施例には、2 個のスイッチ素子 3a 及び 3b が設けられているが、インピーダンスを少なくとも 2 段階に変化させることができれば、例えば 1 個のスイッチ素子が設けられていてもよい。ここで、1 個のスイッチ素子によりインピーダンスを変化させる第 2 の実施例について説明する。図 6 は本発明の第 2 の実施例に係る出力回路の構成を示すブロック図である。なお、図 6 に示す第 2 の実施例において、図 1 に示す第 1 の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。また、演算増幅器 1 等の繰り返し設けられているものは、1 個のみを図示している。

【0038】第 2 の実施例においては、演算増幅器 1 と抵抗素子 4 との間に P チャネル MOS トランジスタ 7a 及び N チャネル MOS トランジスタ 7b からなるトランスファゲートスイッチ 7 が接続されている。トランジスタ 7a 又は 7b のゲートには、夫々抵抗調整用電源（制御素子）8a 又は 8b が接続されている。トランジスタ 7a 又は 7b のゲートには、夫々抵抗調整用電源 8a 又は 8b から電圧が供給され、各ゲート電圧は抵抗調整用電源 8a 又は 8b により制御される。

【0039】図 7 (a) は抵抗調整用電源 8a 及び 8b における印加電圧の関係を示すグラフ図、(b) は抵抗調整用電源 8a の印加電圧とトランスファゲートスイッチ 7 の抵抗値との関係を示すグラフ図である。なお、図 7 (a) において、実線は抵抗調整用電源 8a による印

7

加電圧を示し、破線は抵抗調整用電源 8 b による印加電圧を示している。

【0040】図 7 (a) に示すように、抵抗調整用電源 8 a による印加電圧と抵抗調整用電源 8 b による印加電圧との和は常に V_{DD} となっている。従って、抵抗調整用電源 8 a による印加電圧が増加すれば、その増加分だけ抵抗調整用電源 8 b による印加電圧が低減する。そして、図 7 (b) に示すように、抵抗調整用電源 8 a による印加電圧の増加及び抵抗調整用電源 8 b による印加電圧の低減に伴って、トランスファゲートスイッチ 7 のオン抵抗が上昇する。

【0041】従って、例えば、抵抗調整用電源 8 a による印加電圧が低い図 7 (b) 中の範囲 D と、抵抗調整用電源 8 a による印加電圧が高い範囲 E とを 2 段階のインピーダンスとして使用することが可能である。なお、図 7 (b) 中の範囲 F では、トランジスタ 7 a 及び 7 b は共にオフ状態となる。この状態を図 5 中の期間 A で利用すればよい。

【0042】なお、インピーダンスを変化させる素子として 1 個の MOS トランジスタを使用することも可能である。この場合も、ゲート電圧を制御することによりオン抵抗を少なくとも 2 段階に切替えることが可能である。

【0043】また、前述の第 1 及び第 2 の実施例は、ドット反転用駆動回路として使用されるものであるが、ライン反転用駆動回路として使用されてもよい。この場合、隣り合う出力端子間での出力反転は行われないので、スイッチ素子 6 は不要である。

【0044】更にまた、これらは全て液晶表示装置の駆動回路として使用するものであるが、その他の装置の出力回路として使用することも可能である。この場合、出力端子には、パネル負荷ではなくその用途に応じて種々の回路が接続されることになる。

【0045】

【発明の効果】以上詳述したように、本発明によれば、出力の立ち上がり時及び立ち下がり時に演算増幅器に電流を供給する電流供給手段及び演算増幅器と出力端子との間のインピーダンスを変化させるインピーダンス変化手段を設けているので、立ち上がり又は立ち下がり以外の時には演算増幅器への電流の供給は不要となり、消費電力を低減することができる。また、立ち上がり時及び

8

立ち下がり時の演算増幅器の負荷を下げることにより、スルーレートを向上させることができる。従って、液晶表示装置の駆動回路として使用した場合には、液晶表示パネル上での消費電力の低減とそれによるパネルの長寿命化を可能とすると共に、パネル上での多少の欠陥による負荷増大に対しても立ち上がり及び立ち下がりを高速化することにより歩留まりを向上させることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例に係る出力回路の構成を示すブロック図である。

【図 2】演算増幅器 1 の構成を示す回路図である。

【図 3】電流源 17 及び 18 の具体例を示す回路図である。

【図 4】演算増幅器 1 の動作を示すタイミングチャートである。

【図 5】本発明の第 1 の実施例に係る出力回路の動作を示すタイミングチャートである。

【図 6】本発明の第 2 の実施例に係る出力回路の構成を示すブロック図である。

【図 7】(a) は抵抗調整用電源 8 a 及び 8 b における印加電圧の関係を示すグラフ図、(b) は抵抗調整用電源 8 a の印加電圧とトランスファゲートスイッチ 7 の抵抗値との関係を示すグラフ図である。

【図 8】従来のドット反転用駆動回路の構成を示すブロック図である。

【図 9】従来のドット反転用駆動回路の動作を示すタイミングチャートである。

【符号の説明】

1、51；演算増幅器

2；バイアス回路

3 a、3 b、6、53；スイッチ素子

4、54；抵抗素子

5、15、55；容量素子

7；トランスファゲートスイッチ

7 a、7 b、14、17 a、18 a；MOS トランジスタ

8 a、8 b；抵抗調整用電源

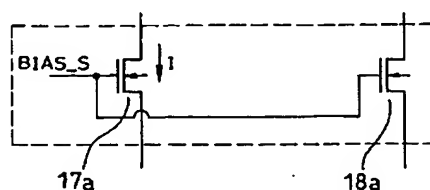
11、12；信号線

13；差動増幅回路

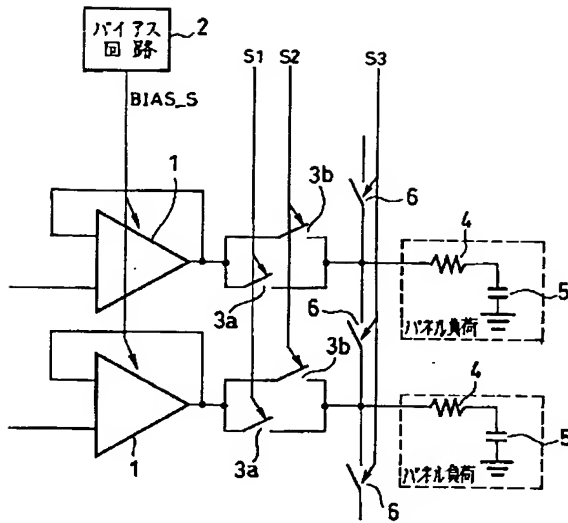
16；接続点

17、18；電流源

【図 3】

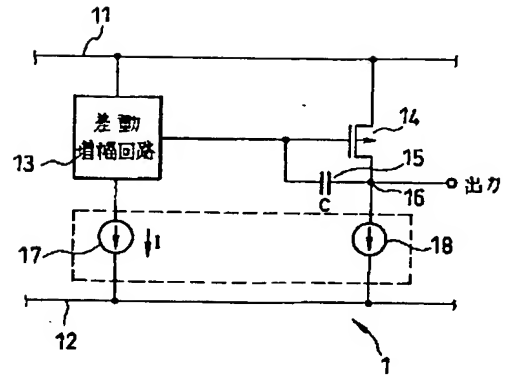


【図1】

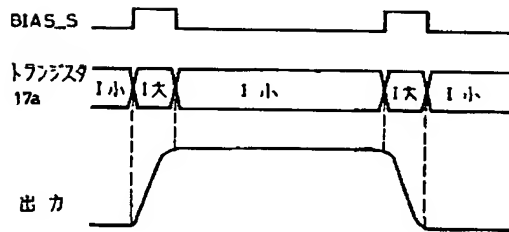


1; 演算増幅器

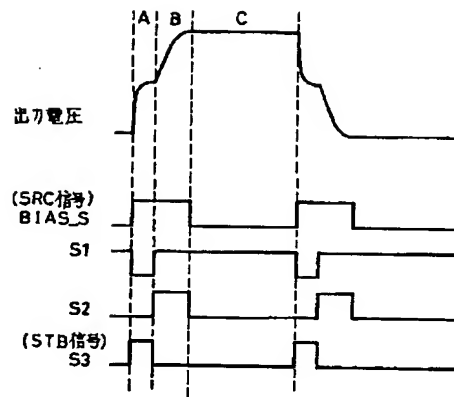
【図2】



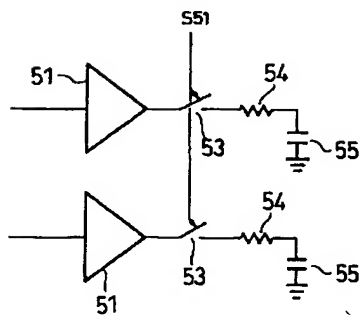
【図4】



【図5】

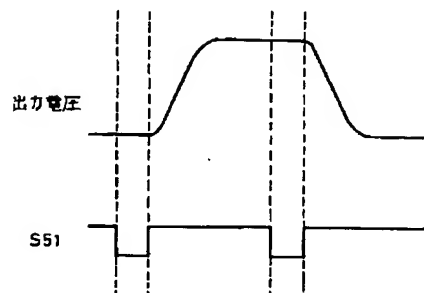


【図8】

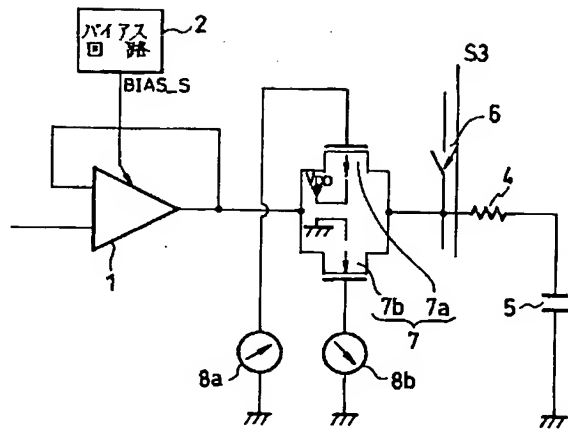


51; 演算増幅器

【図9】

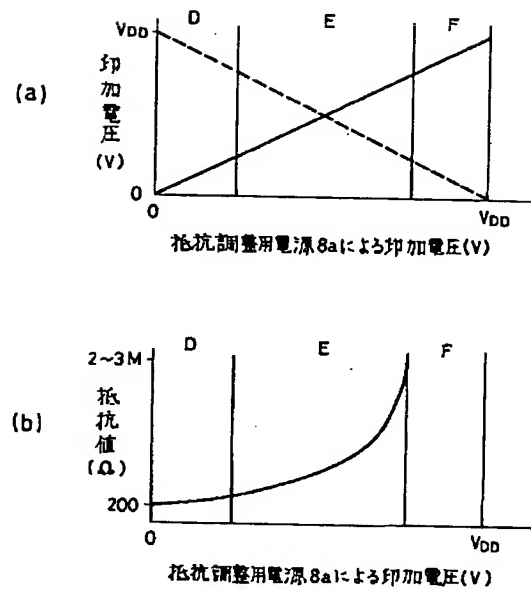


【図6】



7; トランジスタスイッチ

【図7】



フロントページの続き

F ターム(参考) 5C006 AC27 AF52 BF25 BF34 BF37
 FA14 FA33 FA47
 5C080 AA10 BB05 DD24 DD26 DD29
 FF09 JJ03 JJ04 JJ05
 5J092 AA01 AA21 AA42 AA47 AA54
 CA36 CA65 CA78 CA81 CA85
 FA10 FA18 GR02 GR07 HA10
 HA25 HA29 HA39 HA40 HA44
 KA02 KA05 KA23 KA25 MA19
 SA08 TA01 TA02 TA06 VM05
 VM06